

L5 ANSWER 1 OF 1 JAPIO (C) 2003 JPO on STN

AN 1992-307974 JAPIO
 TI ELECTRICALLY ERASABLE NONVOLATILE SEMICONDUCTOR STORAGE DEVICE
 IN YOSHIMI MASANORI
 PA SHARP CORP
 PI JP 04307974 A 19921030 Heisei
 AI JP 1991-73239 (JP03073239 Heisei) 19910405
 PRAI JP 1991-73239 19910405
 SO PATENT ABSTRACTS OF JAPAN (CD-ROM), Unexamined Applications, Vol. 1992

AN 1992-307974 JAPIO
 AB PURPOSE: To contrive an increase in the integration of the title device by a method wherein floating gates are respectively divided functionally into a write site and an erase site and in the sides of the erase sites, a tunnel oxide film is provided to constitute the erase sites without providing a source offset and in the sides of the write sites, a source offset is provided to constitute the write sites.

CONSTITUTION: One pair of L-shaped floating gates 2 consisting of a polysilicon film are respectively provided on gate regions between a source line 3 in the surface of a silicon substrate and one pair of drain lines 4 and 4 arranged on both sides of the line 3 via an insulating film. Moreover, control gates 5 consisting of a polysilicon film to the gates 5 are respectively provided on the gates 2 via an interlayer insulating film. In one pair of write sites, writing using an injection of electrons from the side of each drain to each gate 2 is performed. On the other hand, in the erase sites, erase using an F-N tunneling is performed en bloc from the side of a source to the gates 2 and 2.

COPYRIGHT: (C)1992,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-307974

(43) 公開日 平成4年(1992)10月30日

(51) Int. Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
27/115				
		8225-4M	H 0 1 L 29/78	3 7 1
		8831-4M	27/10	4 3 4
			審査請求 未請求 請求項の数 1 (全 4 頁)	

(21) 出願番号 特願平3-73239

(22) 出願日 平成3年(1991)4月5日

(71) 出願人 000005049

シヤープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 吉見 正徳

大阪府大阪市阿倍野区長池町22番22号 シヤープ株式会社内

(74) 代理人 井理士 野河 信太郎

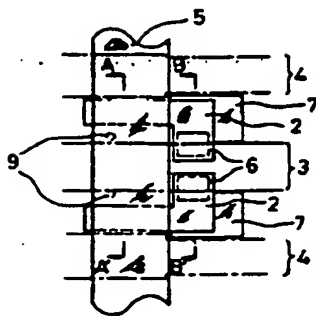
(54) 【発明の名称】 電氣的消去可能不揮発性半導体記憶装置

(57) 【要約】

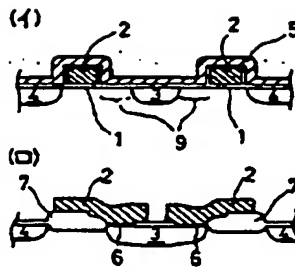
【目的】 ソースオフセットに選択ゲートを構成したE EPROMにおけるF-Nトンネリングによる消去を円滑化して、素子の縮小化を図る。

【構成】 1つのソースラインとその両側のドレインラインとで2つのEEPROMセルを構成し、各フローティングゲートの一方側をホットエレクトロンによる書き込み部位とし他方側をF-Nトンネリングによる一括消去部位として機能分離する。

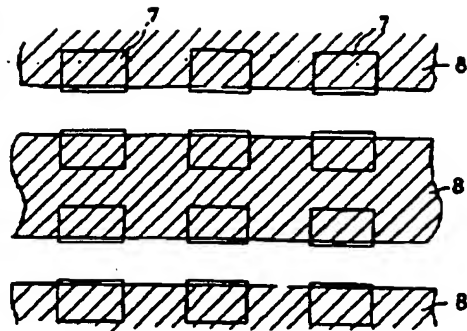
【図1】



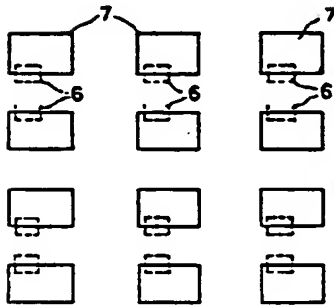
【図2】



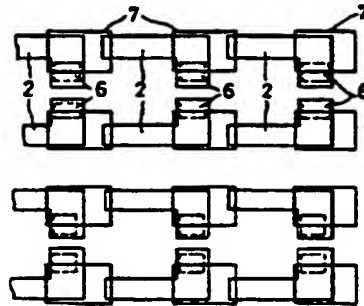
【図3】



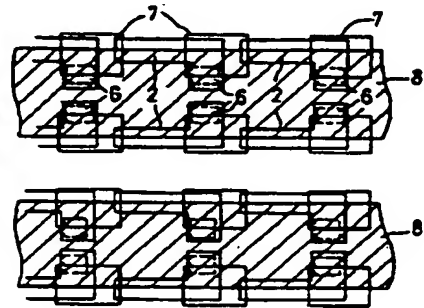
【図4】



【図5】



【図6】



【図7】

